



03/08

Docket No.: L&L-I0232

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nolff Date: March 21, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Wolfgang Rösner et al.
Applic. No. : 10/047,013
Filed : January 16, 2002
Title : Method for Producing a Vertical Semiconductor Transistor Component and Vertical Semiconductor Transistor Component

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 199 33 564.8, filed July 16, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nolff
For Applicants

MARKUS NOLFF
REG. NO. 37,006

Date: March 21, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/bmb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 199 33 564.8

Anmeldetag: 16. Juli 1999

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Erstanmelder: Siemens Aktiengesellschaft,
München/DE

Bezeichnung: Verfahren zur Herstellung eines Vertikal-Halbleitertransistorbauelements und Vertikal-Halbleitertransistorbauelement

IPC: H 01 L 21/8234

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. Februar 2002
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag



Weihmayer

Beschreibung

Verfahren zur Herstellung eines Vertikal-Halbleitertransistorbauelements und Vertikal-Halbleitertransistorbauelement.

5

Die Erfindung betrifft ein Verfahren zur Herstellung eines Vertikal-Halbleitertransistorbauelements und ein derartiges Vertikal-Halbleitertransistorbauelement.

10 Die ständige Erhöhung der Packungsdichte von Schaltungen auf Halbleiter-Chips stellt kontinuierlich wachsende Anforderungen an die Prozeß- und Schaltungstechnologie. Bisher wurden planare MOS-Halbleiterbauelemente durch Verbesserungen der optischen Lithographiesysteme skaliert. Dabei wird durch die 15 Verkürzung der Kanallänge der Transistoren zugleich eine Performancesteigerung erreicht. Bei einer weiteren Verkleinerung der Strukturgrößen treten jedoch zwei hauptsächliche Probleme auf.

20 Zum einen kommt das Konzept des planaren "bulk" MOSFET (metal-oxide-semiconductor field-effect transistor) an seine Grenze, da parasitäre Kurzkanaleffekte die Leistungsfähigkeit dieses Bauelements reduzieren. In diesem Zusammenhang wurde bereits versucht, durch technologisch aufwendige Kanaldotierungsprofile ("pockets" oder "retrograde wells") dem Leistungsverlust entgegenzuwirken. Weitere gegenwärtig verfolgte Konzepte zur Vermeidung parasitärer Kurzkanaleffekte bestehen darin, Transistoren auf SOI-(Silicon-on-Insulator)Wafers herzustellen oder planare Doppel-Gate-Transistoren zu entwickeln, bei denen eine verbesserte Gate-Steuerung durch Einbettung des Kanalbereichs zwischen zwei gegenüberliegenden Gate-Elektroden erreicht wird.

35 Das andere Problem besteht darin, daß die optischen Lithographiesysteme demnächst ihre Leistungsgrenzen erreichen dürften. Eine alternative Skalierungsmöglichkeit bietet sich durch das Konzept vertikaler Bauelemente (im Gegensatz zu

planaren Bauelementen) an. In Vertikalbauweise lassen sich ohne weiteres bei MOSFETs Kanallängen von unter 100 nm erreichen, da die Kanallänge mit hoher Genauigkeit durch Vorgabe einer Schichtdicke eingestellt werden kann.

5

In der deutschen Patentanmeldung DE 196 32 835 A1 ist ein Halbleiter-Kondensator beschrieben, der zur Vergrößerung seiner Kondensatorfläche eine Kondensatorelektrode mit vertikalen Säulenstrukturen aufweist. Die Säulenstrukturen werden 10 unter Verwendung einer statistischen Maske gebildet, welche Strukturgrößen im Sub-100 nm Bereich ermöglicht.

In der Veröffentlichung "Self-limiting oxidation for fabricating sub-5 nm silicon nanowires" von H. I. Liu, et al., 15 "Appl. Phys. Lett." 64 (11), Seiten 1383-1385 (1994) wird ein lateraler Oxidationsprozeß beschrieben, mit dem es möglich ist, vertikale 2 nm breite Silizium-Säulenstrukturen zu erzeugen, die von einem SiO_2 -Mantel umgeben sind.

20 In der Veröffentlichung "Fabrication of silicon nanopillars containing polycrystalline silicon/insulator multilayer structures", von H. Fukuda, et al., "Appl. Phys. Lett." 70 (3), Seiten 333-335 (1997) wird ein Einzelelektronentransistor vorgeschlagen, der Silizium-Säulenstrukturen umfaßt, die 25 mit dem in der vorstehend erwähnten Veröffentlichung beschriebenen lateralen Oxidationsverfahren hergestellt werden und die ferner mehrere in Querrichtung zu der Säulenachse orientierte Tunnel-Isolationsschichten enthalten.

30 Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung eines Vertikal-Halbleitertransistorbauelements anzugeben, das die Herstellung leistungsfähiger und skalierbarer derartiger Bauelemente ermöglicht. Die Erfindung zielt ferner darauf ab, leistungsfähige, insbesondere eine hohe 35 Stromtreiberfähigkeit aufweisende skalierbare Halbleitertransistorbauelemente zu schaffen.

Die der Erfindung zugrundeliegende Aufgabenstellung wird durch die Merkmale der Ansprüche 1 und 8 gelöst.

Demnach wird die Kanallänge des erfindungsgemäßen Vertikal-
5 Halbleitertransistorbauelements durch einen Schichterzeu-
gungsschritt definiert, während die Kanalbreite lithographie-
unabhängig durch eine statistische Maske festgelegt wird. Da-
bei wird der "Kanal" des Vertikal-Halbleitertransistorbau-
elements durch mehrere Einzelkanäle repräsentiert, die sich
10 in den Säulenstrukturen ausbilden und gleiche Länge und im
wesentlichen gleiche Breite aufweisen. Die Kombination dieser
beiden Prinzipien (Definition aller Einzelkanallängen durch
einen gemeinsamen Schichterzeugungsschritt und Definition der
15 Einzelkanalbreiten durch eine statistische Maske) ermöglicht
die Herstellung eines Kurzkanal-FET mit geringen Einzelkanal-
breiten und ermöglicht ferner einen im wesentlichen vollstän-
digen Durchgriff des von dem zweiten elektrischen Kontakt
(Gate) erzeugten Potentials durch die Einzelkanäle, wodurch
eine effektive Transistorsteuerung ermöglicht und parasitäre
20 Kurzkanaleffekte eliminiert werden. Die Anzahl der von dem
Bauelement umfaßten Säulenstrukturen kann dabei durch den
Maskenbildungsprozeß (sowie einem folgenden lithographischen
Selektionsschritt) kontrolliert und gemäß den Gegebenheiten
und praktischen Anforderungen insbesondere hinsichtlich des
25 gewünschten Leistungsverhaltens des Transistors eingestellt
werden.

Vorzugsweise wird die Schichtfolge durch einen selektiven
30 n^+pn^+ -oder p^+np^+ -Epitaxieschritt aufgebaut. Durch eine geeig-
nete Dotierung können moderate Schwankungen der Säulenstruk-
turdurchmesser (z.B. $50 \text{ nm} \pm 10 \text{ nm}$) kompensiert werden und es
kann erreicht werden, daß die niedrig dotierteren mittleren
Schichtzonen (Kanalschichtzonen) der Säulenstrukturen bei ei-
ner entsprechenden Gate-Spannung in den vollständig verarmten
35 Zustand übergehen.

In alternativer Weise kann die Schichtfolge auch durch eine Abscheidung alternierender Halbleiterschichten und Tunnel-Isolationsschichten aufgebaut werden, wobei die Schichtdicke der Tunnel-Isolationsschichten kleiner als 5 nm ist. Auf diese Weise wird ein auf dem elektrischen Tunneleffekt basierendes Halbleitertransistorbauelement realisiert.

Sofern die Halbleiterschichten aus Silizium bestehen, kann nach der Herausbildung der Säulenstrukturen aus der Schichtfolge durch einen lateralen, Oxidationsschritt eine weitere, beträchtliche Verkleinerung der lateralen Dimensionen der Silizium-Schichtzonen erreicht werden. Das dem zugrundeliegende Prinzip ist in der eingangs genannten Veröffentlichung von H. I. Liu, et al. beschrieben und führt im Ergebnis dazu, daß nur in einem sehr dünnen Kernbereich (Durchmesser etwa 2 nm) der Säulenstruktur Silizium erhalten bleibt, während der gesamte umliegende Mantelbereich der Säulenstruktur oxidiert wird. Durch die dann realisierbare Beschränkung von Ladungsträgern in sämtlichen Dimensionen können Quantenbauelemente sowie Einzelelektronenbauelemente auf Silizium-Basis realisiert werden, für deren Herstellung ausschließlich konventionelle Prozeßschritte (Abscheide-, Ätz- und selbstjustierende Oxidationsprozesse) benötigt werden.

Sofern eine Vielzahl von Tunnel-Isolationsschichten vorgesehen sind, können insbesondere auch MTJ (multiple tunnel junctions) hergestellt werden.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

Die Erfindung wird im folgenden anhand von zwei Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher erläutert; in dieser zeigt:

35

Fig. 1A-P schematische Schnittdarstellungen zur Erläuterung der Prozeßschritte, die zum Aufbau eines erfin-

dungsgemäßen Vertikal-FET gemäß einem ersten Ausführungsbeispiel der Erfindung durchgeführt werden;

5 Fig. 2A eine schematische Schnittdarstellung eines nach dem in den Fig. 1A-P erläuterten Verfahrens hergestellten Vertikal-FET;

10 Fig. 2B eine Darstellung des in Fig. 2A gezeigten Vertikal-FET in Draufsicht, wobei die Konturen von bei der Herstellung verwendeten lithographischen Masken eingezeichnet sind;

15 Fig. 2C eine mit den Fig. 2A und 2B ausgerichtete schematische Schnittdarstellung zur Veranschaulichung der verwendeten lithographischen Masken;

Fig. 3 eine schematische Perspektivansicht eines erfindungsgemäßen Vertikal-FET;

20 Fig. 4A eine schematische Schnittdarstellung einer einzelnen Säulenstruktur zur Realisierung eines erfindungsgemäßen Einzelelektronen- bzw. Quanten-FET gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung; und

25 Fig. 4B die in Fig. 4A dargestellte Säulenstruktur nach Ausführung eines lateralen selbstbeschränkenden Oxidationsschritt.

30 Nach Figur 1A wird auf einem Substrat 1, beispielsweise einer monokristallinen Silizium-Scheibe (Wafer), eine durchgehende leitfähige Kontaktsschicht 2 erzeugt. Die leitfähige Kontaktsschicht 2 kann beispielsweise eine dotierte Epitaxieschicht oder ein dotiertes Oberflächengebiet des Substrats 1 sein.

35 Nachfolgend wird eine beispielsweise 700 bis 800 nm dicke thermische Oxidschicht 3 auf die Kontaktsschicht 2 aufgewach-

sen. Mittels einer Standard-LOCOS-Maske L1 (LOCOS: LOCal Oxidation of Silicon) wird ein aktives Gebiet 4 freigeätzt, siehe Figur 1B. Die stehendbleibenden Oxidstrukturen 3 dienen zur Isolation gegenüber benachbarten (nicht dargestellten) Transistorstrukturen.

Alternativ zu der in Figur 1B dargestellten LOCOS-Technik kann auch die Graben-Isolationstechnik (STI: shallow trench isolation) zur elektrischen Isolation benachbarter Transistorstrukturen eingesetzt werden. Bei dieser Technik werden schmale Gräben in die Kontaktsschicht 2 und das Substrat 1 geätzt und mit einem isolierenden Material ausgefüllt, wobei ein geringerer Platzbedarf als bei der LOCOS-Isolationstechnik benötigt wird.

15

In einem vorzugsweise selektiven Epitaxieschritt (siehe Fig. 1C) wird eine Schichtfolge 5, 6, 7 in dem freigelegten aktiven Gebiet 4 aufgewachsen. Aufgrund der Selektivität des Epitaxieschrittes wird hierfür keine Maske benötigt. Die Schichten 5, 6, 7 können beispielsweise n⁺-, p- und n⁺-dotierte Silizium-Schichten bzw. p⁺-, n-, p⁺-dotierte Silizium-Schichten sein. Es ist auch möglich, polykristalline oder gegebenenfalls sogar amorphe dotierte Silizium-Schichten 5, 6, 7 zu erzeugen.

25

In einem nächsten Schritt (siehe Fig. 1D) wird eine Deck-Isolationsschicht 8 über der Schichtfolge 5, 6, 7 und dem umliegenden thermischen Oxid 3 abgeschieden. Die etwa 20 nm dicke Deck-Isolationsschicht 8 kann beispielsweise eine SiO₂-Schicht sein und nach dem bekannten TEOS (tetra-ethyl-ortho-silicate) Verfahren abgeschieden werden. Die Deck-Isolationschicht 8 wird später als Hartmaske zur Bildung der Säulenstrukturen verwendet.

35

Anhand der folgenden Figuren 1E bis 1G wird eine erste Möglichkeit zur Erzeugung einer statistischen Maske näher beschrieben. Auf der Oberfläche der Deck-Isolationsschicht 8

werden statistisch verteilte Maskenstrukturen in Form von Keimen 9 während einer Gasphasenabscheidung in einer Epitaxieanlage gebildet. Als Prozeßgas kann eine Atmosphäre aus H_2 und SiH_4 verwendet werden, der zur Verzögerung des Keimbildungsprozesses GeH_4 beigemischt wird. Der Partialdruck von SiH_4 und GeH_4 liegt im Bereich von 10^{-3} bis 1 mbar, der Partialdruck von H_2 kann etwa 1 bis 100 mbar betragen. Die Abscheidung wird im Temperaturbereich zwischen 500 - 700°C durchgeführt. Bei diesen Prozeßbedingungen bilden sich an der Oberfläche der Deck-Isolationsschicht 8 einzelne Silizium-Keime, die die Verteilung und Dichte der statistisch verteilten Maskenstrukturen bestimmen. Sobald die Dichte der Silizium-Keime einen vorgegebenen Wert, beispielsweise etwa 10^{10} bis $10^{12}/cm^2$ erreicht hat, wird der Keimbildungsprozeß abgebrochen.

20 Anschließend werden die Prozeßbedingungen verändert, um die Größe der Silizium-Keime gezielt einzustellen. Dazu werden Prozeßbedingungen eingestellt, wie sie für die selektive Epitaxie benutzt werden. Eine weitere Keimbildung an der Oberfläche der Deck-Isolationsschicht 8 ist dann unterbunden. Die selektive Epitaxie erfolgt z.B. mit einer Gasmischung aus H_2 und SiH_2Cl_2 im Temperaturbereich zwischen 600 - 800°C. Dieser Gasmischung kann GeH_4 zugegeben werden, um die Materialzusammensetzung der Keime 9 einzustellen.

25 Sobald der Durchmesser der Keime 9 einem vorgegebenen Wert entspricht, wird der Abscheideprozeß abgebrochen. Die Keime 9 bilden statistisch verteilte Maskenstrukturen einer statistischen Maske gemäß Figur 1E.

30 Eine statistische Maske lässt sich auch auf andere Art und Weise erzeugen. Eine zweite Möglichkeit besteht darin, auf der Deck-Isolationsschicht 8 eine durchgehende Germanium-Schicht aufzubringen, die in einem nachfolgenden Temper-

35 schritt (z.B. bei 500°C) in einzelne Germanium-Keime, die die statistisch verteilten Maskenstrukturen bilden, zerfällt.

Eine dritte Möglichkeit besteht darin, auf der Deck-Isolationsschicht 8 eine Schicht mit einer gewollt rauen Oberfläche aufzubringen. Die Schicht kann beispielsweise aus Polysilizium oder Polygermanium bestehen. Bei einer mittleren Dicke von z.B. 50 nm können Dickenschwankungen der Schicht um 30 nm realisiert werden. Durch einen anisotropen Ätzprozeß können statistisch verteilte Maskenstrukturen dadurch erzeugt werden, daß die Oberfläche der Deck-Isolationsschicht 8 an Orten geringerer Dicke der darüberliegenden Schicht mit rauher Oberfläche eher freigelegt wird als an Orten größerer Schichtdicke.

Gemäß einer vierten Verfahrensmöglichkeit zur Erzeugung einer statistischen Maske kann auf der Deck-Isolationsschicht 8 auch eine erste Silizium-Schicht einer Dicke von beispielsweise 20 nm, darüber eine SiO_2 -Schicht einer Dicke von beispielsweise 3 nm und über dieser eine zweite Silizium-Schicht einer Schichtdicke von etwa 20 nm aufgebracht werden. In einem Temperschritt bei etwa 1000°C zersetzt sich die zwischen den Silizium-Schichten eingebettete SiO_2 -Schicht und bildet einzelne SiO_2 -Inseln, die nach einem Entfernen der oberen Silizium-Schicht (und einer dabei auftretenden Strukturierung der unteren Silizium-Schicht) als statistisch verteilte Maskenstrukturen verwendet werden können.

Nach Bildung der statistischen Maske wird gemäß Figur 1F mittels einer Selektionsmaske L2 ein Bauteilgebiet definiert, indem nicht maskierte Keime 9 wegätzzt werden. Maskierte Keime bleiben hingegen stehen. Der Selektionsmaskenschritt legt sowohl den Ort des zu bildenden Bauteils als auch die Anzahl der darin auftretenden Vertikal-Säulenstrukturen fest.

In einem nächsten Prozeßschritt (Figur 1G) wird die Deck-Isolationsschicht 8 durch anisotropes Ätzen entfernt. Die statistische Maske aus Keimen 10 wird in die Deck-Isolationsschicht 8 übertragen und bildet dort eine Hartmaske 11.

Nach den Figuren 1H und 1I wird im Anschluß daran die Schichtfolge 5, 6, 7 unter Verwendung der Keime 10 bzw. der Hartmaske 11 geätzt und sodann die Reste der Keime 10 und der 5 Hartmaske 11 entfernt. Bei diesem Vorgang werden Säulenstrukturen 12 aus der Schichtfolge 5, 6, 7 herausgebildet. Die Säulenstrukturen 12 bestehen aus einer Schichtzonenfolge 5A, 6A und 7A gemäß der ursprünglichen Schichtfolge 5, 6, 7.

10 Anschließend wird eine dünne Isolationsschicht 13 an den freiliegenden Wandbereichen der Säulenstrukturen 12 sowie an der Oberfläche der Kontaktsschicht 2 erzeugt. Die Isolations-
schicht 13 kann aus einer 3 bis 5 nm dicken thermischen SiO_2 -Schicht bestehen, die bei etwa 700 - 800°C aufgewachsen wird,
15 und die am Umfang der Säulenstrukturen 12 als Gate-Oxidschicht des herzustellenden Vertikal-Transistorbauelements dient (Fig. 1K).

Figur 1L veranschaulicht das Abscheiden einer Schicht 14
20 in-situ-dotierten Polysiliziums (n^+ oder p^+) über der in Figur 1K gezeigten Struktur. Dabei werden durch das Polysilizium die bis dahin vorhandenen Freibereiche zwischen den Säulenstrukturen 12 aufgefüllt (sogenanntes "Gate-Filling").

25 In einem weiteren Schritt wird mittels einer Gate-Definitionsmaske L3 die Gate-Elektrode (zweiter Kontakt) des herzustellenden Transistor-Bauelements gebildet. Zu diesem Zweck wird das Polysilizium in den nicht von der Gate-Definitions-
maske L3 überdeckten Bereichen um einen bestimmten Betrag zu-
30 rückgeätzt. Die Gate-Definitionsmaske L3 ist dabei so orientiert, daß sie wenigstens einige am Rand des von der Selektionsmaske L2 definierten Bauteilbereichs liegenden Säulenstrukturen 12 zumindest teilweise überdeckt, d.h. einen gewissen Überlapp mit der Selektionsmaske L2 aufweist (siehe
35 auch Figur 2C). Die Verfahrensparameter des Ätzschrittes werden so eingestellt, daß die Polysiliziumschicht 14 um ihre Schichtdicke reduziert wird, d.h. die Füllhöhe zwischen den

Säulenstrukturen 12 in etwa um die Schichtdicke reduziert wird und die ebenflächige Polysiliziumschicht 14 in nicht maskierten Bereichen vollständig entfernt wird. Die in dieser Weise strukturierte Polysiliziumschicht 14A ist in Figur 1M 5 gezeigt.

In einem folgenden optionalen Prozeßschritt wird eine As-Dotierstoffimplantation durchgeführt (siehe Figur 1N). Die As-Dotierstoffimplantation kann ganzflächig erfolgen, erhöht 10 die Leitfähigkeit des Gate-Polysiliziums 14 und führt in einen Bereich benachbart der Säulenstrukturen 12 zur Ausbildung eines n-dotierten Wannengebiets 15 in der Kontaktsschicht 2.

Figur 10 zeigt in Querschnittsdarstellung die Situation nach 15 dem Abscheiden einer etwa 500 nm starken Zwischen-Oxidschicht 16 und einem nachfolgend durchgeföhrten RTA (rapid thermal annealing) Schritt, bei dem die Zwischen-Oxidschicht 16 durch eine kurzzeitige Temperaturbeaufschlagung unter Abrundung ihrer Kontur etwas verfließt. Aufgrund der kurzen Dauer der 20 Temperaturbeaufschlagung kann dabei das Auftreten unerwünschter Diffusionsprozesse weitgehend unterbunden werden.

In einem weiteren Maskenschritt werden mittels einer Kontaktlochmaske L4 Kontaktlöcher K1, K2 und K3 in die Zwischen-Oxidschicht 16 eingebracht. Das Kontaktloch K1 befindet sich 25 über dem Wannengebiet 15 und dient zur Kontaktierung der Böden der Säulenstrukturen 12. Das Kontaktloch K2 ermöglicht eine elektrische Kontaktierung der Polysilizium-Schichtstruktur 14A. Das Kontaktloch K3 befindet sich unmittelbar über 30 den Säulenstrukturen 12 und ermöglicht eine deckenseitige elektrische Kontaktierung derselben.

In einem abschließenden Prozeßschritt (siehe Fig. 1P) wird 35 ein Kontaktmetall in den Kontaktierungslöchern K1, K2 und K3 abgeschieden und mittels einer Metallisierungsmaske L5 strukturiert. Die durch die Metallisierungsmaske L5 strukturierten Metallbahnen (siehe Figur 2C) sind größer als die entspre-

chenden Kontaktlochöffnungen der Kontaktlochmaske L4 ausgebildet und überdecken diese. Fig. 2A zeigt das fertige Vertikal-Halbleitertransistorbauelement. Das das Kontaktloch K1 füllende Kontaktmaterial 17.1 realisiert den Source-Kontakt,
5 das das Kontaktloch K2 füllende Kontaktmaterial 17.2 realisiert den Gate-Kontakt und das das Kontaktloch K3 füllende Kontaktmaterial 17.3 realisiert den Drain-Kontakt des geschaffenen Vertikal-MOSFET.

10 Figur 2B zeigt die durch die Masken L1 bis L5 definierten Prozessierungsgebiete in Draufsicht. Dabei sind die Dicken (Durchmesser) der Säulenstrukturen 12, welche innerhalb des von der Selektionsmaske L2 definierten Bauteilgebiets liegen, aus Darstellungsgründen übertrieben gezeichnet.

15 Das erläuterte Verfahren weist den Vorteil auf, daß ausschließlich konventionelle Prozeßschritte benötigt werden. Es ist nicht auf Silizium-Bauelemente beschränkt, sondern kann in analoger Weise auch bei SiGe, SiC und auch bei III-V-
20 Halbleiterbauelementen zur Anwendung kommen. Aufgrund der flexiblen Auslegung in bezug auf die Anzahl, Dicke und Dichten der in dem Bauelement enthaltenen Säulenstrukturen 12 können sowohl Leistungs- als auch Logiktransistoren erzeugt werden. Durch die in Verbindung mit der statistischen Maske
25 erfolgenden lithographieunabhängigen Abscheide- und Ätzprozesse wird erreicht, daß das Transistor-Bauelement trotz Strukturgrößen im Sub-100 nm Bereich skalierbar bleibt.

Figur 3 zeigt das in Figur 2A dargestellte MOS-Halbleiter-
30 transistorbauelement in teilweise aufgeschnittener perspektivischer Ansicht. Es wird deutlich, daß das Polysilizium der Gate-Elektrode 14A die Säulenstrukturen 12 auf Höhe der niederdotierten Schichtzone 6A allseitig umgibt.

35 Durch die im folgenden zu beschreibende Abwandlung ermöglicht das erfindungsgemäße Verfahren auch die Herstellung von Einzelelektronen- bzw. Quantenbauelementen. Die in den Figuren

1A - P erläuterte Prozeßfolge wird dabei zunächst insoweit modifiziert, als die in Figur 1C dargestellte Schichtfolge 5, 6, 7 nunmehr aus alternierend angeordneten Siliziumschichten und Tunnel-Isolationsschichten aufgebaut ist. Figur 4A zeigt 5 den Aufbau einer Säulenstruktur 12', die dann entsprechend der vorhergehenden Beschreibung aus der modifizierten Schichtfolge herausgebildet wird. Tunnel-Isolationsschichtzonen sind mit 6A' und Silizium-Schichtzonen sind mit 5A' bezeichnet. Die Tunnel-Isolationsschichtzonen 6A' können be- 10 spielsweise aus Si_3N_4 bestehen und weisen vorzugsweise eine Schichtdicke von etwa 1-2 nm auf. Die Schichtdicke der Silizium-Schichtzonen 5A' (die aus kristallinem Silizium, Polysilizium oder amorphem Silizium bestehen können) kann etwa 10 bis 20 nm betragen. Der Durchmesser der Säulenstrukturen 12' 15 liegt beispielsweise im Bereich von 50 bis 150 nm und entspricht damit dem Durchmesser der in den Figuren 1 bis 3 beschriebenen Säulenstrukturen 12.

20 In einem anschließenden lateralen, selbstbeschränkenden Oxidationsschritt wird die Säulenstruktur 12' in einem Fuß- und Mantelbereich 13' durch einen trockenen Oxidationsprozeß bei Temperaturen im Bereich von 800 bis etwa 1000°C über eine Dauer von etwa einer halben Stunde oxidiert. Aufgrund eines 25 selbstbeschränkenden Effekts, der möglicherweise auf das Auftreten einer die Sauerstoffdiffusion hemmenden Gitterverspannung im zentralen Säulenbereich zurückzuführen ist, bleiben in den Silizium-Schichtzonen 5A' zentrale Siliziumkerne 20 stehen. Die Siliziumkerne 20 weisen einen Durchmesser D von nur etwa 2 nm auf, wie dies in Figur 4B verdeutlicht ist.

30 Bereits bei einer Schichtdicke von 10 nm der Silizium-Schichtzonen 5A' wird eine Niveaupaltung der elektronischen Zustände in bezug auf die Vertikaldimension erreicht. Durch eine darüber hinausgehende Verkleinerung der Schichtdicke der Silizium-Schichtzonen 5A' (und damit der Siliziumkerne 20) auf etwa 2 nm können bei Raumtemperatur betreibbare Einzelelektronenbauelemente geschaffen werden.

Die weitere Prozeßfolge zum Aufbau des auf diese Weise herstellbaren Vertikal-Quantenbauelements bzw. Vertikal-Einzelelektronenbauelements entspricht im wesentlichen den in 5 den Figuren 1L bis P gezeigten Prozeßschritten. Dabei kann vor dem Aufbringen der Polysiliziumschicht 14 ("gate filling") die Oxid-Mantelschicht 13' der Säulenstrukturen 12' durch einen geeigneten Ätzschritt in ihrer Dicke reduziert werden, um einen noch besseren Durchgriff des Gate-Potentials 10 in den aktiven Siliziumkern 20 zu erzielen.

Da es sich bei dem lateralen, selbstbeschränkenden Oxidationschritt ebenfalls um einen konventionellen Prozeßschritt handelt, können auch die Vertikal-Quanten- bzw. Einzelelektronenbauelemente im Rahmen ausschließlich konventioneller 15 Prozeßschritte hergestellt werden.

Patentansprüche

1. Verfahren zur Herstellung eines Vertikal-Halbleitertransistorbauelements, bei dem
 - 5 - über einem Substrat (1) eine Schichtfolge (5, 6, 7) erzeugt wird, die Schichten mit unterschiedlichen elektrischen Leitfähigkeiten umfaßt;
 - über der Schichtfolge (5, 6, 7) eine statistische Maske mit statistisch verteilten Maskenstrukturen (9, 10) gebildet
 - 10 wird;
 - unter Verwendung der statistischen Maske Säulenstrukturen (12, 12') aus der Schichtfolge (5, 6, 7) herausgebildet werden, die am Säulenboden zur Realisierung eines ersten elektrischen Kontaktes (K1) miteinander in elektrischer Verbindung stehen;
 - an den Umfangswänden der Säulenstrukturen Isolationsschichten (13, 13') erzeugt werden;
 - zwischen den mit Isolationsschichten (13, 13') versehenen Säulenstrukturen (12, 12') ein elektrisch leitfähiges Material (14) abgelagert wird, welches einen zweiten elektrischen Kontakt (K2) des Halbleitertransistorbauelements realisiert; und
 - zur Realisierung eines dritten elektrischen Kontaktes (K3) ein elektrisch leitfähiges Kontaktierungsmaterial (17.3) abgeschieden wird, das die Deckenbereiche der Säulenstrukturen (12, 12') gemeinsam elektrisch kontaktiert
2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,
 - 30 - daß die Schichtfolge (5, 6, 7) durch einen selektiven n^+pn^+ - oder p^+np^+ -Epitaxieschritt aufgebaut wird.
3. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,
 - 35 - daß die Schichtfolge (5, 6, 7) durch eine Abscheidung alternierender Halbleiterschichten und Tunnel-

Isolationsschichten aufgebaut wird, wobei die Schichtdicke der Tunnel-Isolationsschichten kleiner als 5 nm ist.

4. Verfahren nach Anspruch 3,

5 durch gekennzeichnet,

- daß die Halbleiterschichten aus Silizium bestehen, und
- daß nach der Herausbildung der Säulenstrukturen (12') ein lateraler, selbstbegrenzender Oxidationsschritt zur Erzeugung von Silizium-Säulenstrukturkernen (20) reduzierter lateraler Dimensionen ausgeführt wird.

10 5. Verfahren nach einem der vorhergehenden Ansprüche,

dadurch gekennzeichnet,

- daß die Anzahl der gebildeten Säulenstrukturen (12, 12')
- 15 durch einen Masken-Selektionsschritt (L2) gezielt auf einen gewünschten Wert, welcher insbesondere zwischen 100 und 200 liegt, eingestellt wird.

6. Verfahren nach einem der vorhergehenden Ansprüche,

20 dadurch gekennzeichnet,

- daß die statistische Maske durch CVD-Abscheidung eines Materials auf einer Oberfläche über der Schichtfolge (5, 6, 7) erzeugt wird, welches bei der Abscheidung auf der Oberfläche Keime (9, 10) bildet.

25

7. Verfahren nach einem der vorhergehenden Ansprüche,

dadurch gekennzeichnet,

- daß die statistische Maske durch CVD-Abscheidung einer durchgehenden Schicht auf einer Oberfläche über der Schichtfolge (5, 6, 7) und einem nachfolgenden Temper-
- 30 schritt zur Zersetzung der Schicht in einzelne Keime (9, 10) erzeugt wird.

8. Vertikal-Halbleitertransistorbauelement, mit über einem

35 Substrat (1) unter Verwendung einer statistischen Maske aufgebauten vertikalen Säulenstrukturen (12, 12'),

- die bodenseitig mit einem ersten gemeinsamen elektrischen Kontakt (K1) in elektrischer Verbindung stehen,
- die in Vertikalrichtung Schichtzonen (5A, 6A, 7A; 5A', 6A') unterschiedlicher Leitfähigkeit umfassen, .

5 - die an ihren Umfangswänden mit Isolationsschichten (13, 13') versehen sind, wobei ein elektrisch leitfähiges Material (14) zwischen den umfangsseitig isolierten Säulenstrukturen (12, 12') abgelagert ist, das einen zweiten elektrischen Kontakt (K2) des Halbleitertransistorbauelements realisiert, und

10 - die deckenseitig mit einem dritten gemeinsamen elektrischen Kontakt (K3) elektrisch kontaktiert sind.

9. Vertikal-Halbleitertransistorbauelement nach Anspruch 8,
15 dadurch gekennzeichnet,
- daß die Säulenstrukturen (12) in Vertikalrichtung eine n^+pn^- oder p^+np^+ -Schichtzonenfolge (5A, 6A, 7A) umfassen.

10. Vertikal-Halbleitertransistorbauelement nach Anspruch 8,
20 dadurch gekennzeichnet,
- daß die Säulenstrukturen (12') jeweils mindestens eine Tunnel-Isolationsschichtzone (6A') umfassen.

11. Vertikal-Halbleitertransistorbauelement nach Anspruch 10,
25 dadurch gekennzeichnet,
- daß die Säulenstrukturen (12') in Vertikalrichtung eine Schichtzonenfolge mit mindestens zwei durch die Tunnel-Isolationsschichtzone (6A') getrennte Siliziumkern-Schichtzonen (20, 13') umfaßt, wobei die lateralen Dimensionen (D) der Siliziumkerne (20) innerhalb der Siliziumkern-Schichtzonen (20, 13') kleiner als 20 nm ist.

12. Vertikal-Halbleitertransistorbauelement nach einem der Ansprüche 8 bis 11,
35 dadurch gekennzeichnet,
- daß das Bauelement zwischen 100 und 200 Säulenstrukturen enthält.

Zusammenfassung

Verfahren zur Herstellung eines Vertikal-Halbleitertransistorbauelements und Vertikal-Halbleitertransistorbauelement.

5

Auf einem Substrat (1) ist eine Doppel-Gate-MOSFET-Halbleiterstruktur aufgebaut. Diese besteht aus einer ersten und einer zweiten Gateelektrode (10A, 10B), zwischen denen eine Halbleiter-Kanalschichtzone (4A) eingebettet ist, sowie 10 einem Source- (2A) und Drain-Bereich (2B), welche an gegenüberliegenden Stirnseiten der Halbleiter-Kanalschichtzone (4A) angeordnet sind. An einer der Gateelektroden (10B) ist zumindest eine weitere Halbleiter-Kanalschichtzone (6A) vorgesehen, deren Stirnseiten ebenfalls von dem Source- (2A) und 15 Drain-Bereichen (2B) kontaktiert sind.

(Fig. 1)

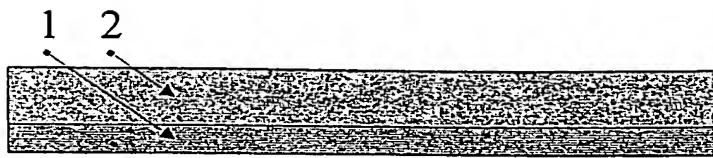


Fig. 1A

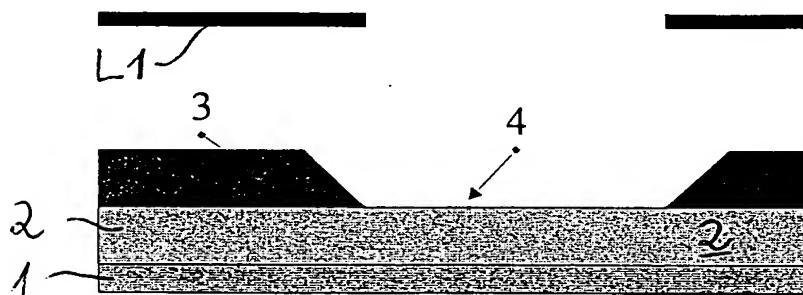


Fig. 1B

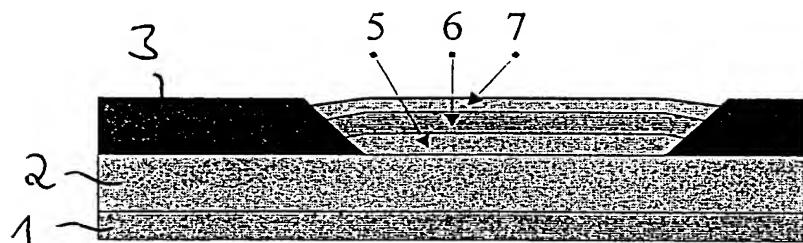


Fig. 1C

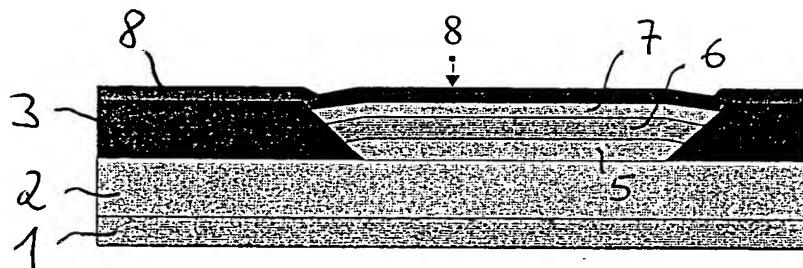


Fig. 1D

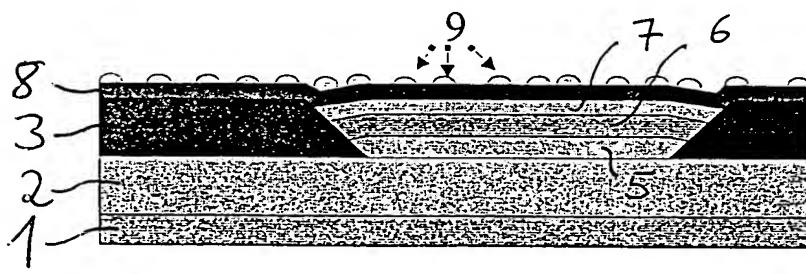


Fig. 1E

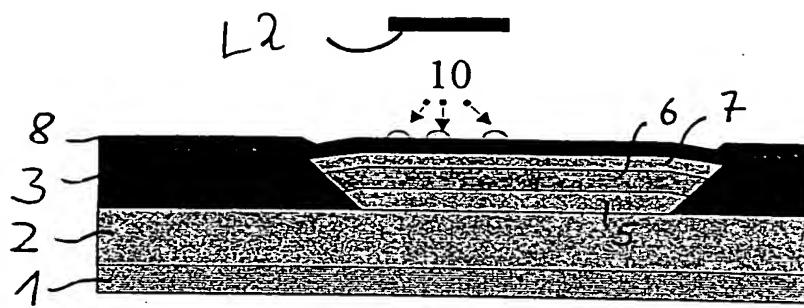


Fig. 1F

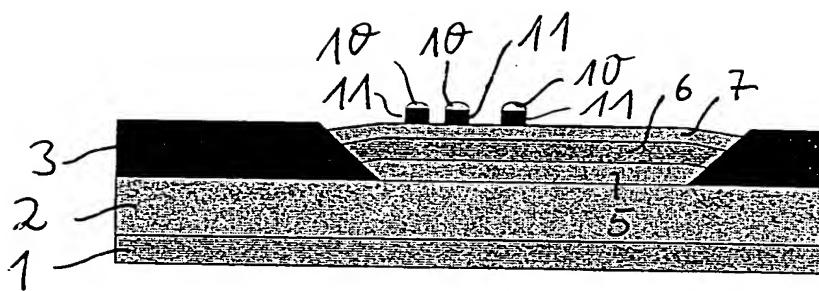


Fig. 1G

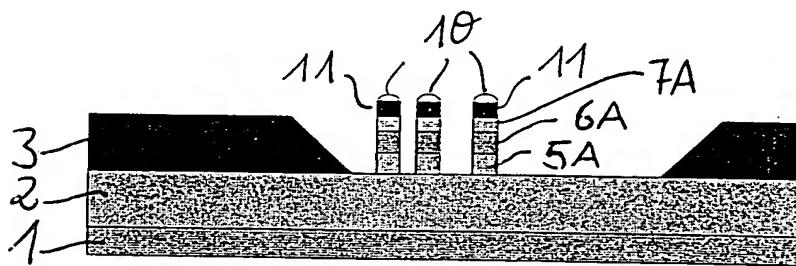


Fig. 1H

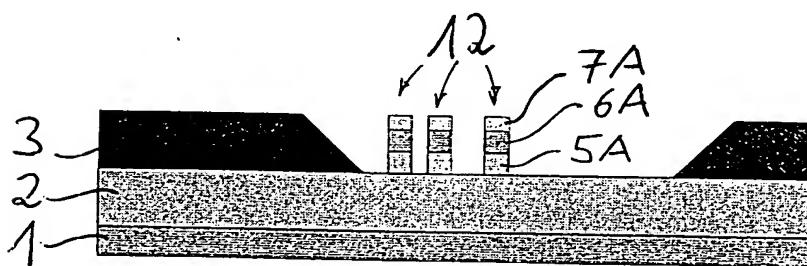


Fig. 1I

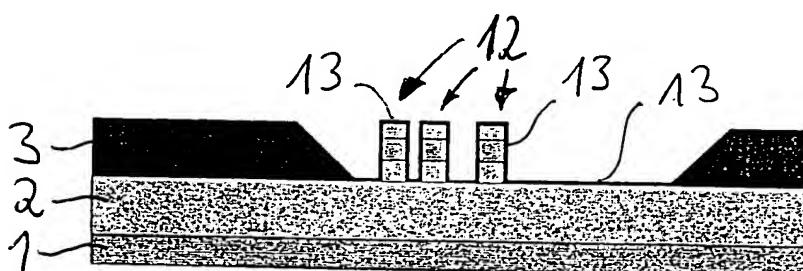


Fig. 1K

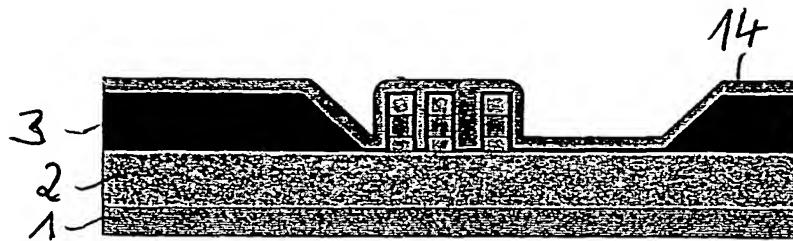


Fig. 1L

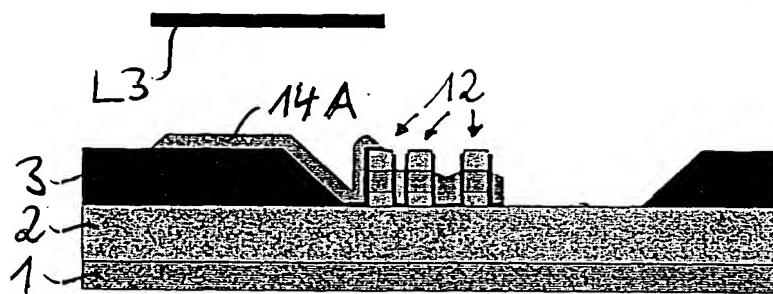


Fig. 1M

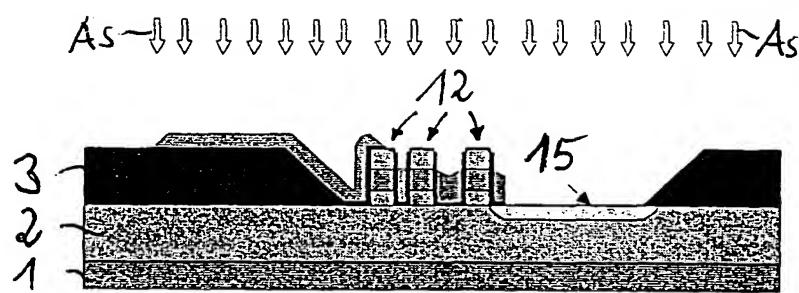


Fig. 1N

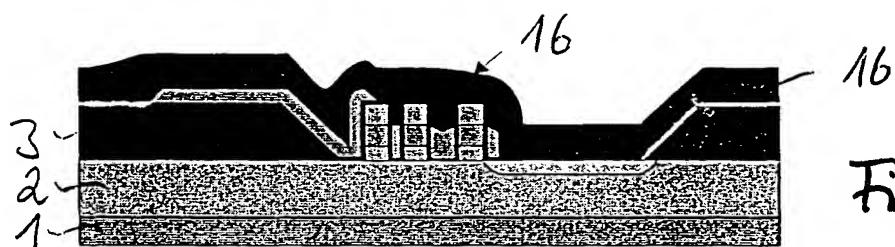


Fig. 1O

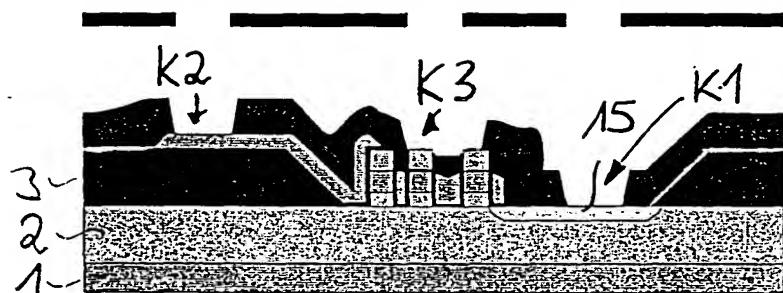


Fig. 1P

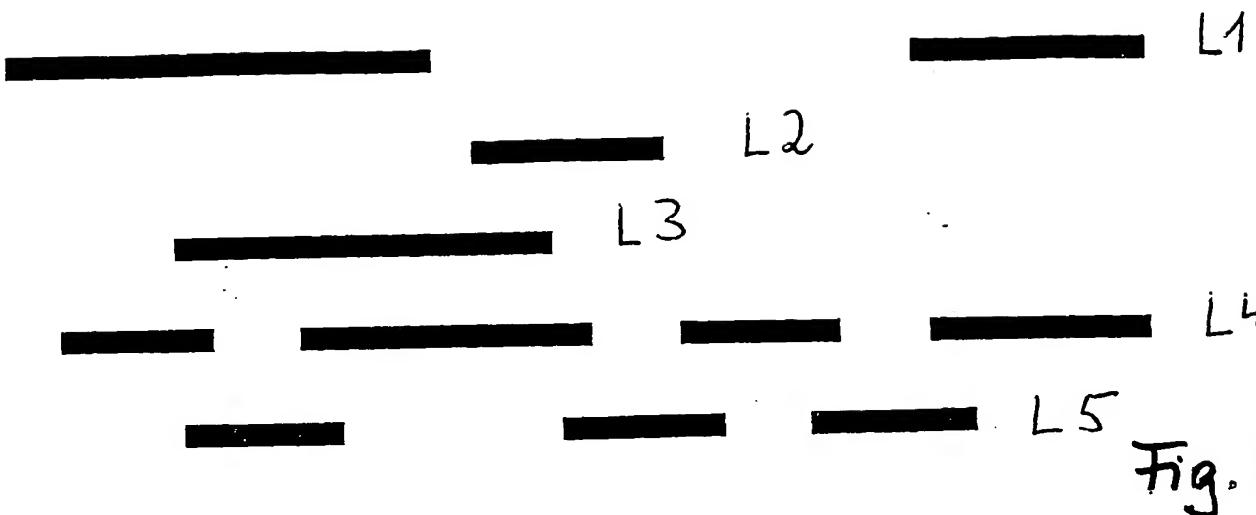


Fig. 2G

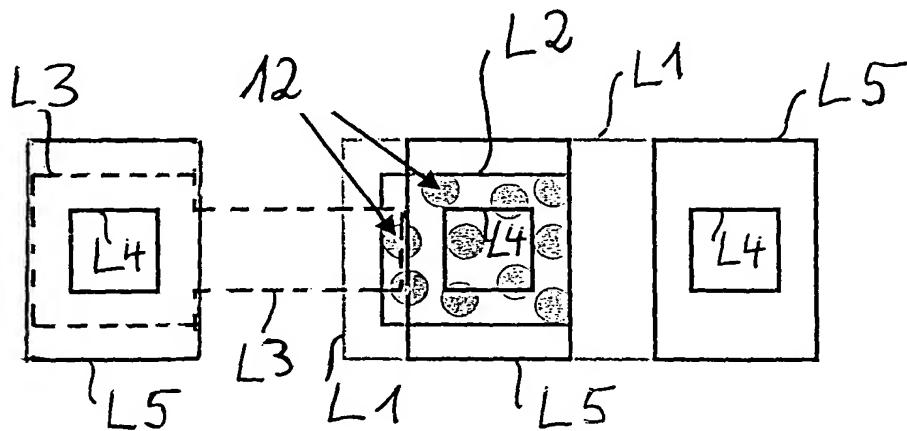


Fig. 2B

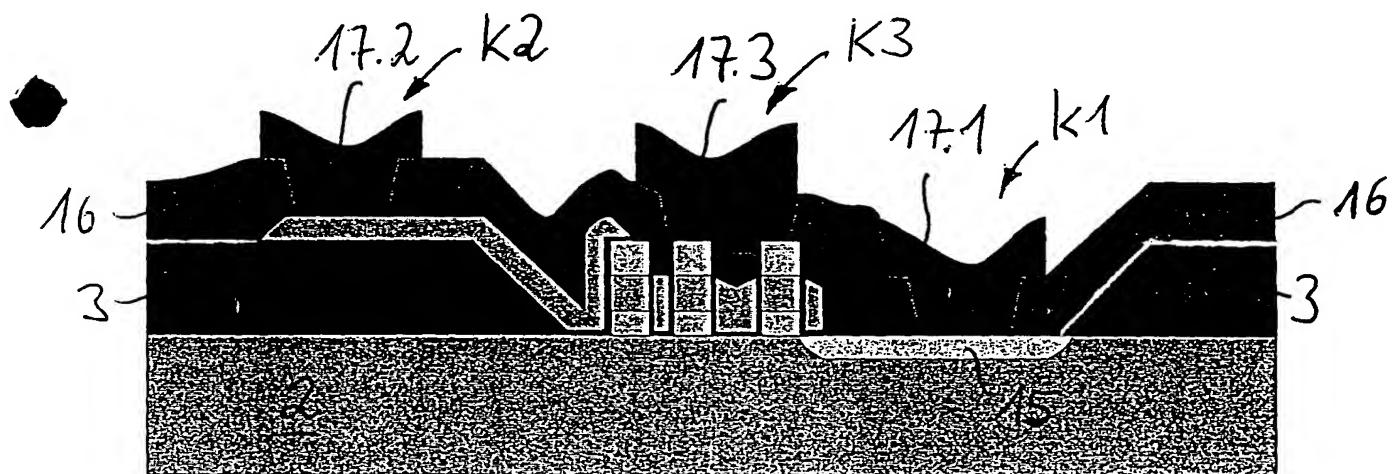


Fig. 2A

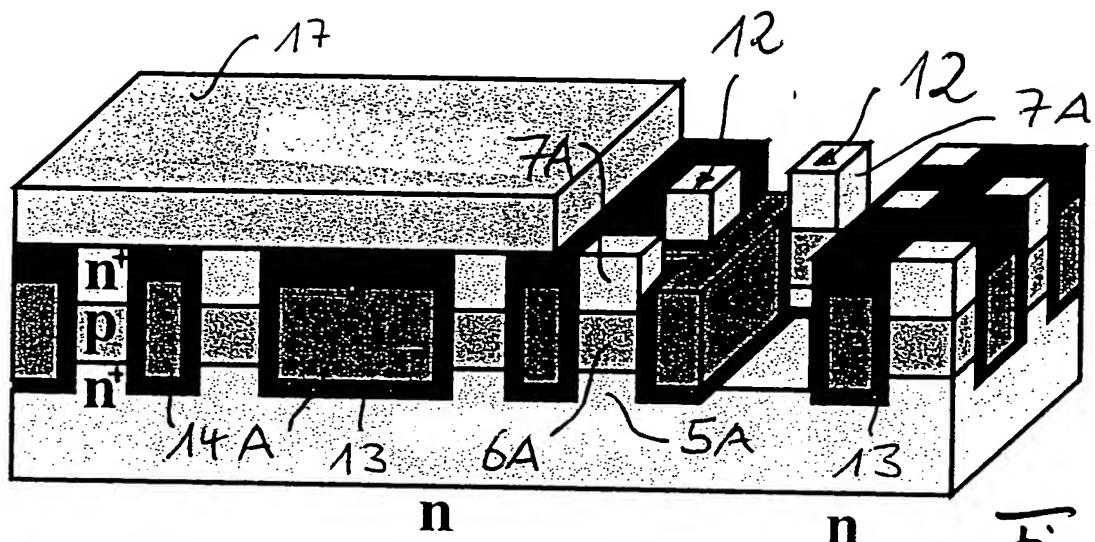


Fig. 3

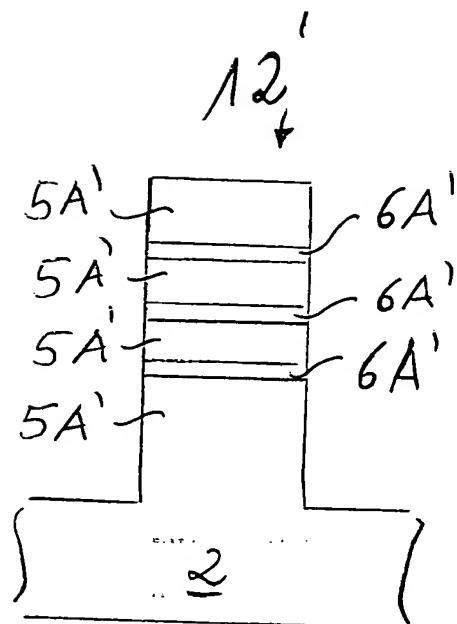


Fig. 4A

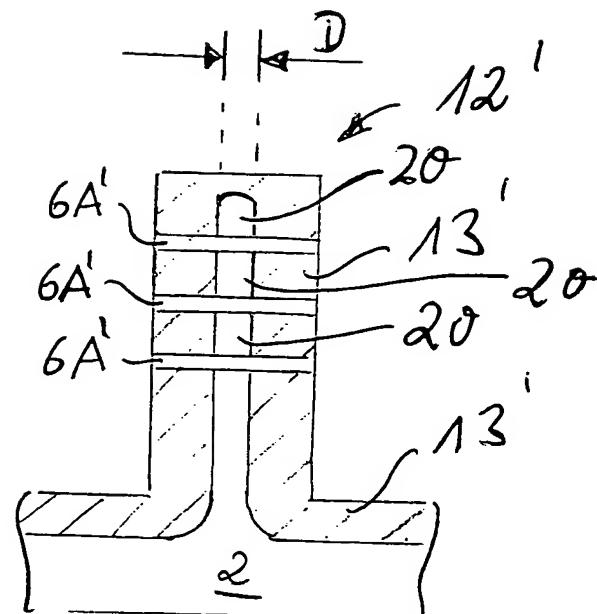


Fig. 4B